

ANÁLISE DE DESEMPENHO DAS TOPOLOGIAS PARA SISTEMAS SOC

Bruno Cesar Puli Dala Rosa (PIBIC/CNPq/FA/Uem), Anderson Faustino Da Silva (Orientador), e-mail: bcesar.g6@gmail.com

Universidade Estadual de Maringá / Departamento de informática /Maringá, PR.

Área e subárea do conhecimento: Ciências Exatas e da Terra / Ciência da computação

Palavras-chave: Arquitetura de computadores, Sistemas em Chip, Topologia de rede.

Resumo:

O número de produtos que utilizam o sistema SoC cresce rapidamente, devido à inovações na área. Um dos fatores mais importantes no desempenho destes sistemas é a implementação da interconexão entre os componentes no chip, implementações tradicionais vem caindo em desuso com a ascensão das arquiteturas NoC. Nesta nova abordagem a topologia aplicada ao projeto do sistema tem um impacto significativo na qualidade geral do mesmo. Esta pesquisa analisa o desempenho das topologias Butterfly, Clos, Mesh, MultiPath, Tree e PeerToPeer, propostas na literatura, por meio da modelagem em um simulador.

Introdução

Com o propósito de atender à alta demanda por desempenho computacional diversas estratégias são exploradas nos campos da área de Ciência da Computação. Dentre elas estão os projetos de arquiteturas paralelas, arquiteturas que contemplam mais de um núcleo de processamento. Aos chips que seguem a metodologia de design onde componentes já existentes são combinados em um só chip, dá-se o nome de Sistemas-em-chip (SoC) (SALEH e outros, 2006). Avanços na área vem possibilitando a fabricação de SoCs cada vez mais complexos e computacionalmente poderosos.

A interconexão dos componentes nestas arquiteturas é um dos fatores cruciais para seu desempenho, implementações tradicionais da interconexão de componentes em chips consistem na utilização de barramentos e estruturas de barras transversais. Entretanto, tais abordagens apresentam limitações como problemas na latência e na largura da banda, tornando-as cada vez menos viáveis.

Com o intuito de solucionar tais limitações, a evolução dos SoC trouxeram uma abordagem do uso de redes de interconexões de propósito

geral no chip (DALLY e TOWLES, 2001). Redes-em-chip (NoC) é uma rede de interconexão baseada no uso de roteadores para interconectar o alto número de componentes. O uso de NoCs permite que o uso de componentes em um único chip seja escalável e específico por meio de escolhas de projeto da topologia no chip.

Materiais e métodos

A literatura (DUATO e outros, 2003) apresenta as seguintes topologias:

- Butterfly: É uma topologia de múltiplos níveis onde cada nível possui o mesmo número de roteadores.
- Clos: Nesta topologia além dos roteadores finais aos quais os processadores estão conectados existe uma camada de roteadores intermediários que se conectam a todos os outros.
- Mesh: Uma topologia direta, onde todo roteador possui pelo menos um processador associado a ele.
- MultiPath: Os roteadores são organizados em conjuntos de seis roteadores onde quatro deles possuem processadores associados e os outros dois se conectam a roteadores de outros conjuntos.
- Tree: Implementa uma árvore binária de roteadores.
- PeerToPeer: A mais simples das topologias implementadas, onde todos os roteadores possuem processadores conectados a eles e cada roteador é conectado aos demais.

Uma questão importante na implementação de NoCs é a quantidade de roteadores necessários. A Tabela 1 apresenta a quantidade de roteadores utilizados por cada topologia.

Tabela 1 – Quantidade de roteadores

Processadores	Roteadores					
	Butterfly	Clos	Mesh	MultiPath	Tree	PeerToPeer
8	16	7	4	6	7	4
16	40	7	8	12	15	8
32	96	13	16	24	31	16

Resultados e Discussão

O desempenho de uma topologia está relacionado diretamente a latência necessária para entregar uma mensagem. Desta forma, este projeto analisa a latência de cada topologia para diferentes quantidades de processadores utilizando o padrão *uniform_random* para injeção de mensagem.

Para realizar a avaliação das topologias, cada uma é modelada no simulador Gem5 (BINKERT e outros, 2011). A Figura 1 apresenta os resultados obtidos para diferentes taxas de injeção.

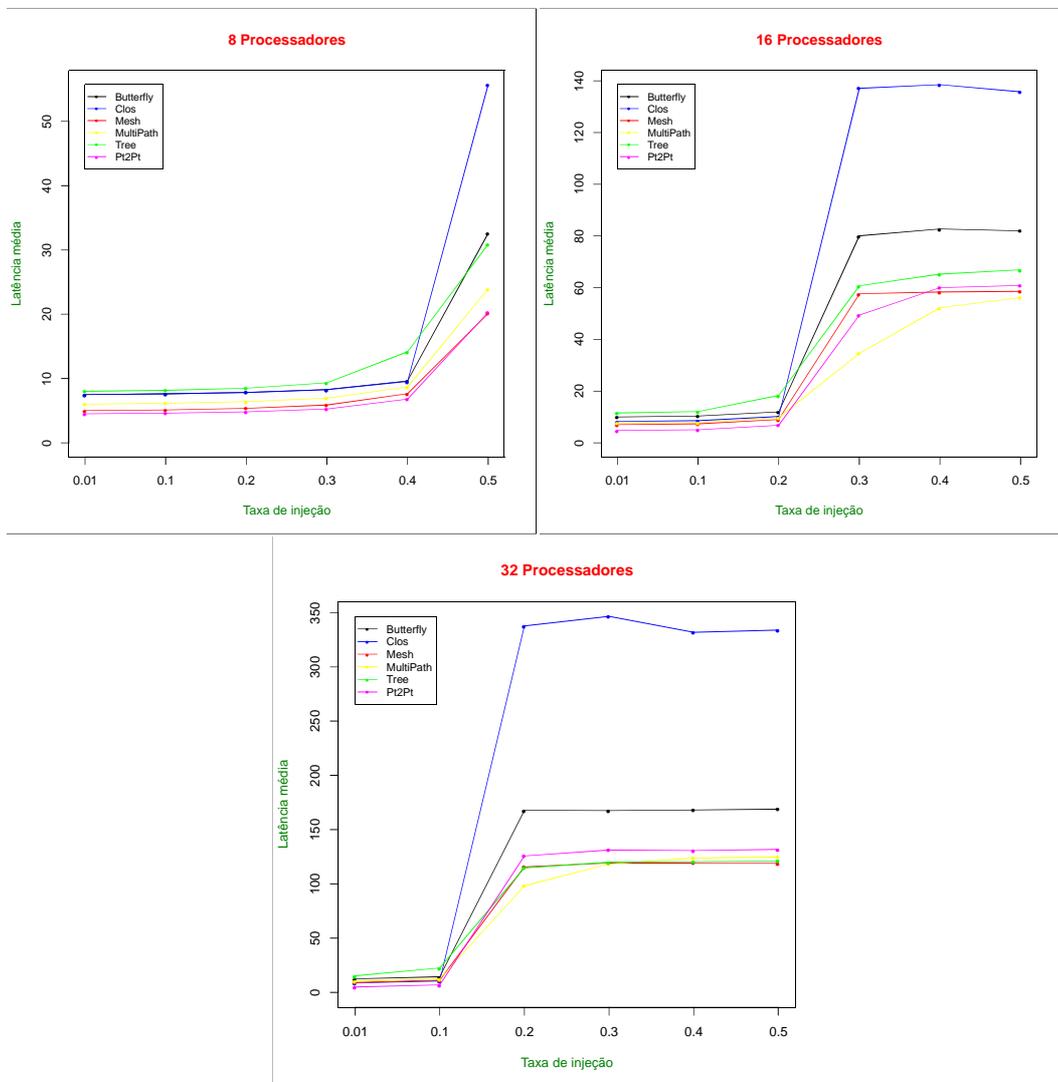


Figura 1 – Gráfico de comparação entre os padrões

A partir dos resultados obtidos é possível perceber uma diferença no padrão de latência dependendo da quantidade de processadores. Para arquiteturas com 8 processadores, a latência se mantém praticamente constante até uma taxa de injeção de 0.4. Porém quanto a quantidade de processadores aumenta, o crescimento da latência ocorre com uma taxa de injeção menor. De fato, dobrar a quantidade de processadores reduz a taxa pela metade. Além disto, os resultados demonstram que aumentar a quantidade de processadores acarreta em aumentar a latência da rede de interconexão.

É importante destacar que aumentar a latência da rede de interconexão degrada o desempenho do sistema. Portanto, uma boa topologia é aquela que mantém tal valor em um patamar menor, mesmo quando há o aumento da quantidade de processadores.

As topologias Clos e MultiPath formam o extremo superior e o extremo inferior. Portanto, o desempenho das demais topologias se encontra entre o desempenho obtido por estas duas topologias. Como o objetivo é ter a menor latência possível, MultiPath é a melhor escolha.

Conclusões

Devido ao impacto da escolha da topologia no desempenho de SoCs, é importante projetar uma topologia capaz de reduzir a latência nas entregas de mensagens e conseqüentemente melhorar o desempenho do sistema. Este trabalho comparou o desempenho de diferentes topologias, em diferentes cenários simulados. Os resultados indicam que dentre as topologias Butterfly, Clos, Mesh, MultiPath, Tree e PeerToPeer, MultiPath é a que tem o melhor desempenho.

Agradecimentos

Agradeço ao CNPq e a UEM por possibilitarem este trabalho.

Referências

BINKERT, N., BECKMANN, B., BLACK, G., REINHARDT, S. K., SAIDI, A., BASU, A., HESTNESS, J., HOWER, D. R., KRISHNA, T., SARDASHTI, S., SEN, R., SEWELL, K., SHOAI, M., VAISH, N., HILL, M. D., WOOD, D. A. "**The gem5 simulator**". ACM SIGARCH Computer Architecture News, vol. 39, no. 2, pp. 1-7, 2011.

DALLY, W. J., TOWLES, B. **Route packets, not wires: on-chip interconnection networks**, Proceedings of the 38th annual Design Automation Conference. Las Vegas, Nevada, EUA, 2001.

DUATO, J., YALAMANCHILI, S., NI, L. M. **Interconnection networks: an engineering approach**. Morgan Kaufmann, 2003.

SALEH, R., WILTON, S., MIRABBASI, S., HU, A., GREENSTREET, M., LEMIEUX, G., PANDE, P. P., GRECU, C., IVANOV, A. **System-on-Chip: Reuse and Integration. Proceedings of the IEEE**, Pullman, WA, EUA, 2006.