

## MULTIFLOOR: UMA TOPOLOGIA PARA REDES EM CHIP

Eduardo Felipe Ribeiro (PIBIC/CNPq/FA/Uem), Anderson Faustino Da Silva (Orientador), e-mail: edu.felipe1@outlook.com .

Universidade Estadual de Maringá / Departamento de Informática /Maringá, PR.

**Área e subárea do conhecimento: Ciências Exatas e da Terra / Ciência da computação**

**Palavras-chave:** Sistemas em chip, Redes em chip, Topologia de rede.

### Resumo:

Atualmente, como resultado de uma busca por um maior desempenho computacional, há uma crescente na demanda de sistemas-em-chip. O desempenho de tais sistemas depende principalmente da implementação das interconexões de seus componentes. Assumindo o lugar de implementações tradicionais, temos a ascensão das arquiteturas de rede em chip que aumentam significativamente a qualidade do sistema. Este resumo expandido apresenta uma nova topologia de interconexão, a topologia *Multifloor*. Os resultados demonstram que a topologia proposta é capaz de reduzir a quantidade média de saltos em alguns casos, quando comparada com a topologia *Mesh*.

### Introdução

Um recente avanço no contexto de arquitetura de computadores é o projeto de sistemas-em-chip (SeC), que são circuitos integrados que contém todos os componentes de um sistema computacional (SALEH e outros, 2006).

Um SeC com multi-processadores integra memória com microprocessadores e pode trazer em sua arquitetura diferentes periféricos, tais como unidades de processamento gráfico e/ou WiFi. Um dos principais fatores no desempenho desses sistemas é a forma com que seus componentes são interligados.

Anteriormente compostas de barramentos e chaves *crossbar*, as interconexões apresentavam características indesejáveis, como problemas na largura de banda e na latência. Como solução a esse problema foram desenvolvidas as redes-em-chip (ReC). Essas redes são baseadas no envio de pacotes de dados entre os processadores, utilizando como canais componentes denominados roteadores os quais gerenciam o caminho que o pacote percorrerá de processador a outro (BENINI e DE MICHELI, 2002).

Neste contexto, este artigo expandido apresenta uma nova ReC, a qual tem por objetivo prover diversos caminhos entre dois processadores.

## Materiais e métodos

No projeto de ReC, a rede de interconexão é um ponto crucial no tocante ao desempenho e escalabilidade da rede. Neste contexto, a topologia Multipath (Ray e outros, 2016) tem a proposta de ser uma rede de interconexão altamente escalável, a qual pode incorporar uma grande quantidade de CPUs sem ocasionar perda de desempenho.

Baseado na topologia Mutipath, este resumo expandido apresenta a topologia Multifloor. O objetivo é ter uma rede de interconexão altamente escalável sem perda de desempenho, assim como a topologia Multipath. Contudo, enquanto Multipath apresenta uma arquitetura de duas dimensões, Multifloor é uma arquitetura de três dimensões. Além disto, Multifloor aumenta a quantidade de caminhos entre duas CPUs.

A topologia Multifloor, inspirada na topologia Multipath, é apresentada na Figura 1.

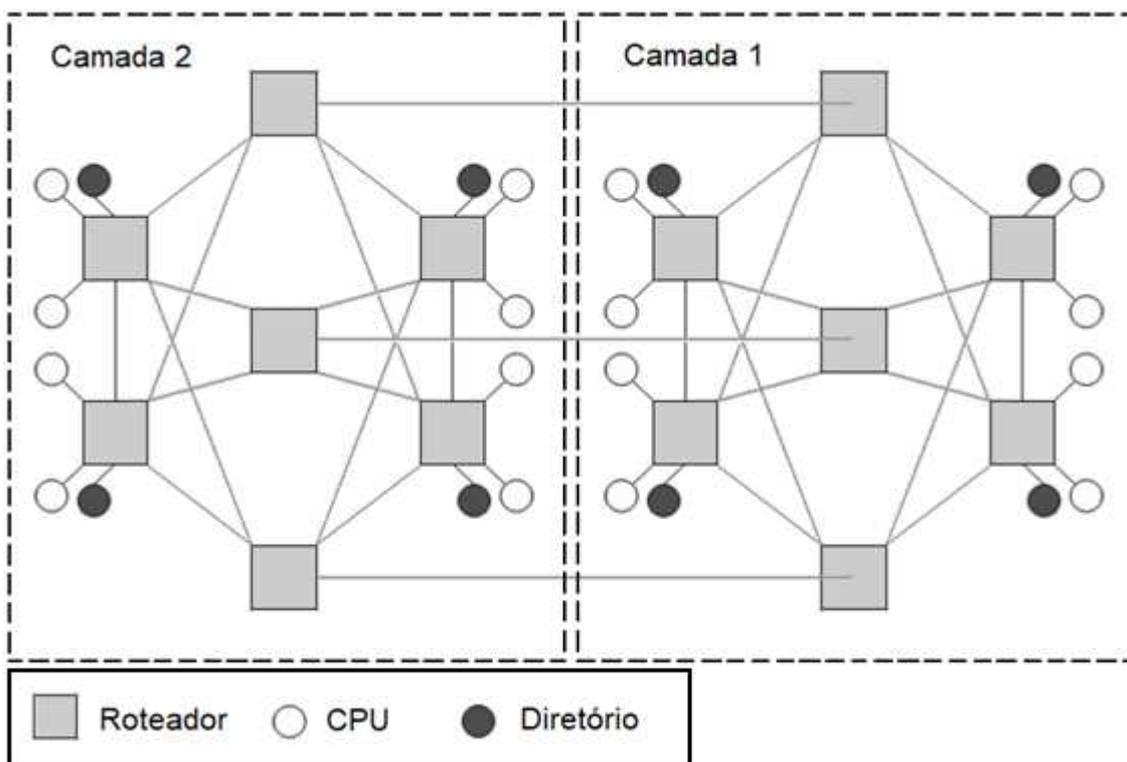


Figura 1 - Topologia Multifloor para uma arquitetura com 16 CPUs.

Como pode ser observado, a topologia Multifloor é uma topologia 3D onde cada camada é composta por interconexões entre 8 CPUs. Cada camada é composta por:

- 4 roteadores com conexões externas (roteadores que conectam CPUs);
- 3 roteadores de propagação de mensagens (roteadores que conectam outros roteadores); e

- 4 controladores de diretórios, os quais conectam a topologia à memória principal.

Na topologia Multifloor, as camadas são conectadas por meio de um canal de comunicação (vertical) entre os roteadores de propagação de mensagens.

## Resultados e Discussão

A topologia Multifloor foi implementada como um módulo do simulador Gem5 (BINKERT e outros, 2011). O ambiente no qual a topologia Multifloor foi avaliada é como segue.

- Padrão de injeção de mensagens: *uniform random*
- Quantidade de CPUs: 8, 16 e 329
- Variáveis analisadas:
  1. quantidade média de saltos: que indica a média de roteadores pelos quais o pacote passou até chegar em seu destino
  2. latência média: que é o tempo médio que um pacote leva para chegar ao seu destino
- Topologia de comparação: Mesh (DUATO e YALAMANCHILI, 2003)

A topologia Multifloor é comparada com a topologia Mesh, por esta ser o padrão adotado pelas empresas desenvolvedoras de computadores de alto desempenho.

Os resultados alcançados são apresentados nas Figura 2 e 3.

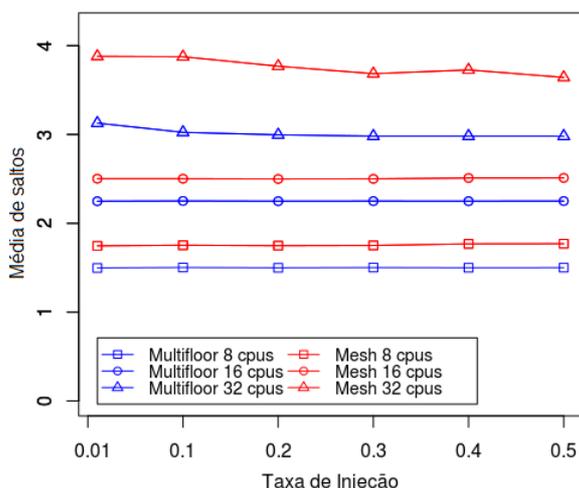


Figura 2 – Média de saltos

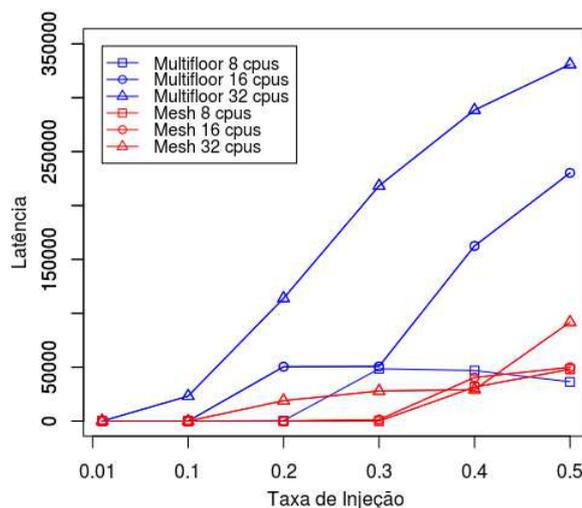


Figura 3 – Latência média

A média de saltos na topologia Multifloor é menor do que a média na topologia Mesh. Para uma configuração com 32 CPUs, a topologia Multifloor obtêm um desempenho superior em 20%. Os resultados indicam, que a topologia Multifloor tem uma escalabilidade superior a topologia Mesh, concernente a quantidade da salto. Tal resultado é excelente, pois indica que uma mensagem para chegar ao destino precisa passar por poucos roteadores.

Por outro lado, observando a latência média da rede a topologia Mesh é superior à topologia Multifloor. Apenas para uma configuração com 8 CPUs, Multifloor se compara a Mesh. Para uma configuração com 32 CPUs, a topologia Multifloor é 3 vezes pior do que a topologia Mesh. Isto indica que neste quesito a topologia proposta não é escalável.

O ideal é ter uma topologia que consiga balancear saltos e latência, ou seja, que ache um equilíbrio entre as topologias Multifloor e Mesh nestes dois quesitos.

## Conclusões

Este resumo expandido apresentou a topologia Mutifloor, uma topologia 3D para redes em chip, cujo objetivo é prover diversos caminhos entre duas CPUs. Tal topologia foi implementada em um simulador e comparada com a topologia largamente usada em arquiteturas reais, Mesh. Os resultados obtidos indicam que a topologia proposta é uma boa opção para reduzir a quantidade de saltos das mensagens que trafegam pela rede. Contudo, ela não é escalável concernente a latência da rede. Como trabalho futuro iremos propor modificações na topologia Multifloor, que possam reduzir a latência da rede sem aumentar a quantidade de saltos.

## Agradecimentos

Agradeço ao CNPq pelo apoio financeiro a esta pesquisa.

## Referências

BENINI, L., DE MICHELI, G. Networks on chips: a new SoC paradigm. *Computer*, 35(1), pp. 70–78, 2002.

BINKERT, N., BECKMANN, B., BLACK, G., REINHARDT, S. K., SAIDI, A., BASU, A., HESTNESS, J., HOWER, D. R., KRISHNA, T., SARDASHTI, S., SEN, R., SEWELL, K., SHOAIB, M., VAISH, N., HILL, M. D., WOOD, D. A. "The gem5 simulator". *ACM SIGARCH Computer Architecture News*, vol. 39, no. 2, pp. 1-7, 2011.

DUATO, J., YALAMANCHILI, S., NI, L. M. *Interconnection networks: an engineering approach*. Morgan Kaufmann, 2003.

RAY, K., KALITA, A., BISWAS, A., HUSSAIN, M. A. A multipath network-on-chip topology. *International Conference on Information Communication and Embedded Systems*, 2016.

SALEH, R., WILTON, S., MIRABBASI, S., HU, A., GREENSTREET, M., LEMIEUX, G., PANDE, P. P., GRECU, C., IVANOV, A. *System-on-Chip: Reuse and Integration*. Proceedings of the IEEE, Pullman, WA, EUA, 2006.