

Manna Gamarc: Uma Arquitetura Computacional Simulada em Microcontrolador

Gabriel Vinicius de Menezes Gama (Manna Academy/FA/UEM), Rodrigo Calvo, Linnyer Beatrys Ruiz Aylon (Orientadora). E-mail: ra134997@uem.br.

Universidade Estadual de Maringá, centro de tecnologia, Maringá, PR.

Área e subárea do conhecimento: Ciência da Computação / Sistemas de Computação, Hardware

Palavras-chave: Arquitetura de computadores, microcontroladores, simulador.

RESUMO

A disciplina de Arquitetura e Organização de Computadores, integrante dos cursos da área de Computação, dedica-se ao estudo dos componentes internos de um sistema computacional. Entretanto, muitos estudantes demonstram dificuldades em compreender o ciclo de instrução e sua relação com a manipulação de dados na memória. Nesse contexto, este trabalho apresenta o desenvolvimento de um protótipo, que simula o processamento de instruções de uma arquitetura computacional. O funcionamento é exibido em displays, permitindo visualizar as instruções percorrendo registradores e unidades lógicas. O protótipo representa uma ferramenta alternativa de apoio ao processo de aprendizagem, contribuindo para a compreensão de conceitos que, em geral, são tratados apenas em nível teórico.

INTRODUÇÃO

Arquitetura e Organização de Computadores é uma disciplina comum em cursos da área de Computação, dedicada ao estudo e à discussão da organização interna de um sistema computacional, isto inclui sua estrutura, componentes, funcionamento e interações (FÁVERO, 2011). Entre os conceitos fundamentais abordados, destacam-se os modelos arquiteturais, em especial o proposto por Neumann (1993), composto pela memória principal, unidade de processamento e dispositivos de entrada e saída.

Neumann (1993), por meio de sua arquitetura, introduziu o conceito de programas escritos na memória, em que dados e instruções são armazenados sequencialmente, podendo ser escritos e operados na unidade de processamento a qualquer momento.

Segundo Papazoglou (2024), atualmente os estudantes utilizam simuladores de software, e não há, no ensino superior, ferramentas baseadas em hardware para o estudo do funcionamento interno de microprocessadores. Além da escassez de ferramentas baseadas em hardware para apoiar o estudo da arquitetura computacional, observa-se que as soluções em software também apresentam

elevada complexidade, uma vez que o processador interpreta *opcodes*, ou seja, códigos de operação que definem instruções específicas a serem executadas.

MATERIAIS E MÉTODOS

A. Componentes

Com o intuito de realizar uma prova de conceito do Manna Gamarc, foi planejado o desenvolvimento de um protótipo cujo objetivo principal consistia em possibilitar a observação das movimentações de dados internos de uma arquitetura de computadores. Para isso, tornou-se indispensável a utilização de displays (Figura 1.a), com um total de oito displays, fez-se necessário utilizar um multiplexador (Figura 1.b), responsável por conectá-los utilizando apenas duas portas do microcontrolador ESP32 (Figura 1.c)

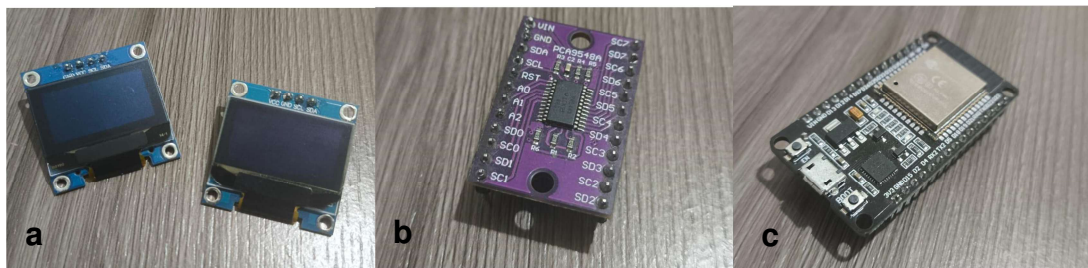


Figura 1 – Componentes principais do protótipo (a) display, (b) multiplexador e (c) microcontrolador. (Fonte: Autor, 2025).

B. Funcionamento interno

Para exibir, nos displays conectados via multiplexador, as informações lidas e processadas pelo microcontrolador, foi utilizado o protocolo de comunicação I2C (Circuito Inter-Integrado). Para o armazenamento do código de memória na cache do ESP32, empregou-se a biblioteca SPIFFS, a qual possibilita o microcontrolador alterar e gravar dados de memória sem que haja perda de informações após reinicializações. O processamento dos dados da memória foi implementado com base na estrutura IAS Machine, desenvolvida por Neumann (1993), cujo esquemático pode ser observado na Figura 2.a.

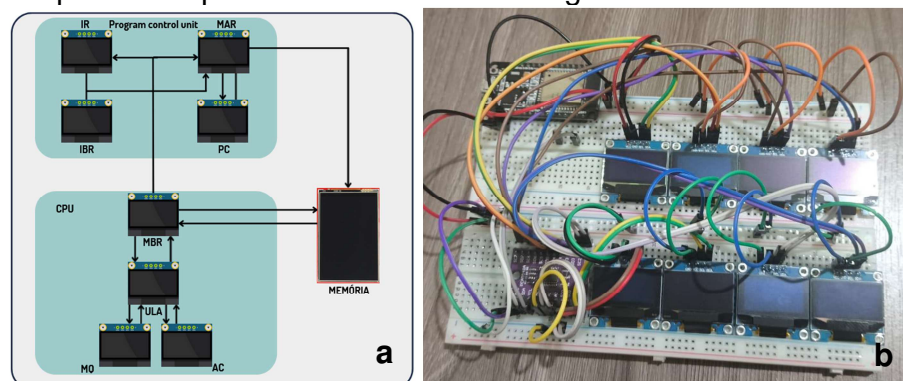


Figura 2 – Representação dos (a) esquemático e (b) protótipo físico.
(Fonte: Autor, 2025).

RESULTADOS E DISCUSSÃO

Como mencionado anteriormente, o protótipo Manna Gamarc consiste em um simulador da estrutura da máquina IAS de Neumann (1993), projetado para executar as instruções armazenadas na memória, realizando operações de leitura, processamento e sobrescrita de dados.

Durante a execução, as instruções são buscadas e processadas, enquanto o estado atual de cada um dos sete registradores, assim como da Unidade Lógica e Aritmética (ULA), é exibido nos displays.

Tabela 1 – Registradores e unidade lógica exibidos nos displays.

PC	Contador de programa, armazena a linha de operação
AC	Acumulador, armazena os operandos
MQ	Quociente e multiplicação, armazena operandos
MAR	Registrador de endereço de memória, armazena endereço da memória
MBR	Registrador Buffer de Memória, armazena as palavras da memória
IR	Registrador de instrução, armazena o <i>opcode</i> da instrução
ULA	Unidade lógica e aritmética, realiza os cálculos e operações lógicas

Foram implementadas instruções básicas para a escrita de programas, cujo processamento segue as etapas de busca, decodificação, busca de operandos, execução e escrita dos resultados. Todas as instruções percorrem integralmente esse ciclo, com exceção das instruções LOAD e STORE, nas quais a escrita dos resultados ocorre ainda na fase de execução. Na Figura 3, é possível observar um exemplo da instrução ADD percorrendo o ciclo de instrução proposto no protótipo.

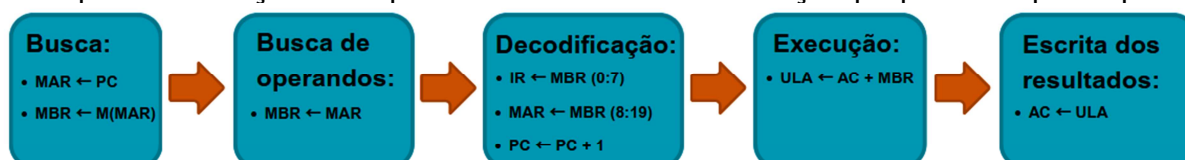


Figura 3 – Esquemático do ciclo de instrução (Fonte: Autor, 2025).

CONCLUSÕES

A revisão bibliográfica evidenciou a escassez de protótipos em hardware voltados ao ensino de Arquitetura e Organização de Computadores, sendo encontrados poucos trabalhos que exploram essa abordagem. Nesse contexto, o projeto desenvolvido neste trabalho propõe uma alternativa, permitindo a aplicação prática de conceitos que, em geral, são discutidos apenas a nível teórico. O protótipo construído possibilita a simulação de uma arquitetura de computadores, contemplando aspectos como o ciclo de instrução, as operações de leitura e escrita em memória e a interação com dispositivos de entrada e saída.

Como trabalhos futuros, pretende-se aplicar o simulador em sala de aula, em colaboração com os docentes da disciplina, a fim de avaliar o potencial pedagógico e seu impacto no processo de aprendizagem dos estudantes.

AGRADECIMENTOS

Agradecimentos ao @manna_team, a Fundação Araucária de Apoio ao Desenvolvimento Científico e Tecnológico do Estado do Paraná (FA) e ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) - Brasil, pelo apoio a este trabalho.

REFERÊNCIAS

PAPAZOGLU, P. P. Hardware Oriented Microprocessor Simulator. In: IEEE GLOBAL ENGINEERING EDUCATION CONFERENCE (EDUCON), 2024, Kos Island, Greece. Anais do IEEE Global Engineering Education Conference (EDUCON), 2024. Kos Island: IEEE, 2024. p. 1-5. DOI: 10.1109/EDUCON60312.2024.10578582. Acesso em: 03 junho de 2025.

FÁVERO, Eliane Maria de Bortoli. *Organização e arquitetura de computadores*. Pato Branco: Universidade Tecnológica Federal do Paraná, 2011. 114 p. ISBN 978-85-7014-082-1

VON NEUMANN, J. *First draft of a report on the EDVAC*. IEEE Annals of the History of Computing, v. 15, n. 4, p. 27-75, 1993. DOI: <https://doi.org/10.1109/85.238389>

SILVA, G. P.; BORGES, J. A. S. A Didactic Processor and Simulator for IoT. In: INTERNATIONAL CONFERENCE OF THE PORTUGUESE SOCIETY FOR ENGINEERING EDUCATION (CISPEE), 3rd, 2018, Aveiro, Portugal. Anais do 3rd International Conference of the Portuguese Society for Engineering Education (CISPEE), 2018. Aveiro: IEEE, 2018. p. 1-7. DOI: 10.1109/CISPEE.2018.8593408. Acesso em: 06 fevereiro de 2025.